# Phụ lục 5

**MẪU ĐỀ CƯƠNG CHI TIẾT**

*(Ban hành kèm theo văn bản số 109/HD-ĐHVH ngày 28 tháng 5 năm 2020 của Hiệu trưởng Trường Đại học Công nghệ Thông tin và Truyền thông Việt - Hàn)*

-----

|  |  |
| --- | --- |
| ĐẠI HỌC ĐÀ NẴNG | **CỘNG HÒA XÃ HỘI CHỦ NGHĨA VIỆT NAM** |
| **TRƯỜNG ĐH CNTT & TT VIỆT-HÀN** | **Độc Lập - Tự Do - Hạnh Phúc** |
| **Khoa: Kỹ thuật máy tính và điện tử** |  |

|  |  |  |  |
| --- | --- | --- | --- |
| **CHƯƠNG TRÌNH ĐÀO TẠO** | | | |
| Trình độ đào tạo: | Đại học | |
| Ngành/Chuyên ngành: | Công nghệ thông tin, CE | Mã số: ……. | |

|  |  |  |
| --- | --- | --- |
| **ĐỀ CƯƠNG CHI TIẾT HỌC PHẦN**  **Tên học phần: Kiến trúc máy tính**  **Tên tiếng Anh: Computer Architecture** | | |
| 1. **Mã học phần:** |  | |
| 1. **Số tín chỉ:** | 2 TC | |
| 1. **Phân bố thời gian:** |  | |
| **-** Lý thuyết: | 1.5 TC (22 tiết) | |
| - Bài tập/Thảo luận: |  | |
| **-** Thực hành/Thí nghiệm: | 0.5 TC (15 tiết) | |
| - Tự học: | 60 tiết | |
| 1. **Các giảng viên phụ trách học phần:** | ThS. Lê Tự Thanh | |
| - Giảng viên phụ trách chính: | ThS. Lê Tự Thanh | |
| - Danh sách giảng viên cùng giảng dạy: | TS. Nguyễn Vũ Anh Quang; TS. Hoàng Hữu Đức; TS. Nguyễn Hà Huy Cường; TS. Dương Hữu Ái; TS. Phan Thị Lan Anh; TS. Vương Công Đạt; ThS. Phan Thị Quỳnh Hương; ThS. Lê Kim Trọng; ThS. Lê Tự Thanh. | |
| - Bộ môn phụ trách giảng dạy: | Khoa Kỹ thuật máy tính và điện tử | |
| 1. **Điều kiện tham gia học phần:** |  | |
| **-** Học phần tiên quyết: |  | |
| - Học phần học trước: | Tin đại cương | |
| - Học phần song hành: |  | |
| 1. **Loại học phần:** | ⮽ Bắt buộc □ Tự chọn bắt buộc  □ Tự chọn tự do | |
| 1. **Thuộc khối kiến thức** | □ Toán và Khoa học tự nhiên  □ Kiến thức chung ⮽ Kiến thức Cơ sở ngành  □ Kiến thức Chuyên ngành  □ Thực tập  □ Đồ án tốt nghiệp | |
|  | | |
| 1. **Mô tả tóm tắt học phần:** |  | |
| Nội dung của học phần tập trung vào việc tìm hiểu cấu trúc, nguyên lý hoạt động của các thành phần chính cấu thành nên máy tính như: CPU, RAM, thiết bị nhập xuất,... Cách thức xử lý và thực thi một chương trình xảy ra trong máy tính. Tập lệnh và ngôn ngữ lập trình Assembly. | | |
| 1. **Mục tiêu của học phần:** | |  |
| 1. **Kiến thức:** | |  |
| Cung cấp cho sinh viên các khái niệm tổng quan về kiến trúc và tổ chức máy tính; Các thành phần chính của máy tính và kiến trúc các hệ thống bus; Các khái niệm, kiến trúc của bộ nhớ chính, bộ nhớ cache và các thiết bị lưu trữ dữ liệu; Tập lệnh và các phương thức truy cập dữ liệu trong bộ nhớ, ngôn ngữ Assembly; Tổ chức và các chức năng của bộ vi xử lý CPU. | | |
| 1. **Kỹ năng:** | |  |
| Rèn luyện cho sinh viên các kỹ năng giải quyết vấn đề, tư duy logic, giao tiếp và tự học. | | |
| 1. **Thái độ:** | |  |
| Giúp sinh viên phát triển được thái độ tốt, có ý thức chủ động, trách nhiệm và tôn trọng lẫn nhau trong học tập. | | |

1. **Chuẩn đầu ra của học phần:**

Sau khi kết thúc học phần sinh viên có khả năng:

|  |  |
| --- | --- |
| STT | Chuẩn đầu ra học phần (CLO) |
|  | Hiểu được kiến thức tổng quan về kiến trúc máy tính |
|  | Nắm vững kiến thức cơ bản bộ nhớ, CPU, I/O, Assembler |
|  | Áp dụng kiến thức để giải quyết các bài toán xử lý tính toán, tối ưu hệ thống máy tính. |
|  | Rèn luyện các kỹ năng giải quyết vấn đề, tư duy logic, giao tiếp và tự học. |
|  | Rèn luyện thái độ và trách nhiệm trong học tập. |

1. **Nhiệm vụ của học viên:**

Sinh viên phải thực hiện các nhiệm vụ sau đây:

* Tham gia ít nhất 80% số tiết học của lớp học phần;
* Tự tìm hiểu và thực hiện các yêu cầu do giảng viên giao;
* Hoàn thành tất cả bài đánh giá của học phần.

1. **Đánh giá học phần:**

Kết quả học tập của sinh viên được đánh giá bằng các thành phần: đánh giá quá trình, đánh giá giữa kỳ, đánh giá cuối kỳ, các hoạt động đánh giá khác.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Thành phần ĐG | Bài đánh giá | Phương pháp đánh giá | Trọng số bài đánh giá (%) | Trọng số thành phần (%) | CĐR học phần |
| A1. Đánh giá chuyên cần | A1.1 Điểm danh | P1.1 Điểm danh | 10 | 10 | CLO 5 |
| A2. Đánh giá quá trình | A1.2 Bài tập | P1.2 Bài tập (\*) | 10 | 10 | CLO 1, 2, 3, 4, 5 |
| A3. Đánh giá giữa kỳ | A2.1 Kiểm tra giữa kỳ | P2.1 Lý thuyết (\*\*) | 20 | 20 | CLO 1, 2 |
| A4. Đánh giá cuối kỳ | A3.1 Thi cuối kỳ | P3.1 Vấn đáp (\*\*\*) | 60 | 60 | CLO 1, 2, 3, 4, 5 |

(\*) Giảng viên chấm bài tập được giao về nhà cho sinh viên (nộp trên hệ thống elearning).

(\*\*) Giảng viên tổ chức cho sinh viên kiểm tra giữa kỳ tại lớp.

(\*\*\*) Sinh viên thi vấn đáp, tổ chức thi chung theo kế hoạch của nhà trường.

1. **Kế hoạch giảng dạy và học**

**13.1. Kế hoạch giảng dạy và học cho phần lý thuyết**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Tuần/  Buổi  (2 tiết) | Nội dung chi tiết | Hoạt động dạy và học | Bài đánh giá | CĐR học phần |
| 1 | CHƯƠNG 1. TỔNG QUAN VỀ KTMT   * 1. Các khái niệm cơ bản      1. Kiến trúc và tổ chức      2. Cấu trúc và chức năng      3. Lịch sử phát triển   2. Nguyên lý Von Neuman   3. Phân loại kiến trúc   4. Hiệu năng và luật Moore   5. Một số kiến trúc máy tính hiện đại   1.5.1. Kiến trúc x86 và x86-64 1.5.2. Kiến trúc UltraSparc | Dạy: Trình bày bài giảng Slide. Đặt câu hỏi cho sinh viên suy nghĩ và trả lời. Học ở lớp: Nghe, thảo luận và trao đổi.  Tự học: Ôn lại lý thuyết. Đọc trước bài giảng, tham khảo thêm tài liệu. | A1.1, A2.1, A3.1 | CLO 1 |
| 2 | CHƯƠNG 2. CHỨC NĂNG MÁY TÍNH VÀ HỆ THỐNG BUS   * 1. Các thành phần chính của máy tính   2.1.1. CPU  2.1.2. Bộ nhớ  2.1.3. Thiết bị vào/ra  2.1.4. Hệ thống Bus  2.2. Chức năng của máy tính  2.2.1. Nạp và thực thi lệnh  2.2.2. Khái niệm ngắt  2.2.3. Lược đồ trạng thái chu trình lệnh  2.2.4. Chức năng vào/ra  2.3. Hệ thống Bus  2.3.1. Mô hình liên kết thành phần trong máy tính  2.3.2. Các kiểu truyền thông trong hệ thống liên kết  2.3.3. Lược đồ liên kết bus  2.3.4. Các đặc điểm của Bus | Dạy: Trình bày bài giảng Slide. Đặt câu hỏi cho sinh viên suy nghĩ và trả lời. Học ở lớp: Nghe, thảo luận và trao đổi.  Tự học: Ôn lại lý thuyết. Đọc trước bài giảng, tham khảo thêm tài liệu. | A1.1, A1.2, A2.1, A3.1 | CLO 2,3,4,5 |
| 3 | CHƯƠNG 3. HỆ THỐNG BỘ NHỚ  3.1. Khái niệm và các đặc điểm của bộ nhớ 3.2. Phân cấp bộ nhớ 3.3. Bộ nhớ chính 3.3.1. Tổ chức 3.3.2. DRAM & SRAM 3.3.3. Một số kiểu ROM 3.3.4. DRAM hiệu năng cao SDRAM, DDR-SDRAM, Cache DRAM, … 3.3.5. Tổ chức bộ nhớ lớn | Dạy: Trình bày bài giảng Slide. Đặt câu hỏi cho sinh viên suy nghĩ và trả lời. Học ở lớp: Nghe, thảo luận và trao đổi.  Tự học: Ôn lại lý thuyết. Đọc trước bài giảng, tham khảo thêm tài liệu. | A1.1, A1.2, A2.1, A3.1 | CLO 2, 3, 4, 5 |
| 4 | CHƯƠNG 3. HỆ THỐNG BỘ NHỚ (TIẾP THEO)  3.4. Bộ nhớ cache 3.4.1. Khái niệm 3.4.2. Các phương pháp ánh xạ giữa cache và bộ nhớ chính 3.4.3. Giải thuật thay thế 3.4.4. Chính sách ghi 3.4.5. Hiệu năng cache 3.5. Bộ nhớ ngoài 3.5.1. Đĩa từ từ tính (HDD) 3.5.2. Đĩa quang 3.5.3. SSD-Solid state drives 3.5.4. Tổng quan về RAID | Dạy: Trình bày bài giảng Slide. Đặt câu hỏi cho sinh viên suy nghĩ và trả lời. Học ở lớp: Nghe, thảo luận và trao đổi.  Tự học: Ôn lại lý thuyết. Đọc trước bài giảng, tham khảo thêm tài liệu. |  |  |
| 5 | CHƯƠNG 4. CÁC THIẾT BỊ VÀO RA  4.1. Các thiết bị ngoại vi 4.2. Các mô đun nhập xuất 4.3. Truy cập bộ nhớ trực tiếp 4.4. Kênh nhập xuất và vi xử lý | Dạy: Trình bày bài giảng Slide. Đặt câu hỏi cho sinh viên suy nghĩ và trả lời. Học ở lớp: Nghe, thảo luận và trao đổi.  Tự học: Ôn lại lý thuyết. Đọc trước bài giảng, tham khảo thêm tài liệu. | A1.1, A1.2, A2.1, A3.1 | CLO 2, 3, 4, 5 |
| 6 | CHƯƠNG 5. KIẾN TRÚC BỘ VI XỬ LÝ  5.1. Khái niệm 5.1.1. Lệnh và tập lệnh máy tính 5.1.2. Biểu diễn lệnh 5.1.3. Kiểu lệnh 5.1.4. Số lượng địa chỉ 5.1.5. Thiết kế tập lệnh 5.2. Kiểu toán hạng và toán tử | Dạy: Trình bày bài giảng Slide. Đặt câu hỏi cho sinh viên suy nghĩ và trả lời. Học ở lớp: Nghe, thảo luận và trao đổi.  Tự học: Ôn lại lý thuyết. Đọc trước bài giảng, tham khảo thêm tài liệu. | A1.1, A1.2, A2.1, A3.1 | CLO 2, 3, 4, 5 |
| 7 | 5.3. Định dạng lệnh 5.3.1. Độ dài lệnh 5.3.2. Phân biệt các thành phần trong cấu trúc lệnh 5.3.3. Lệnh có độ dài thay đổi  5.4. Các phương pháp đánh địa chỉ  5.4.1. Tức thời 5.4.2. Trực tiếp 5.4.3. Gián tiếp thông qua bộ nhớ chính 5.4.4. Gián tiếp thông qua thanh ghi 5.4.5. Sử dụng stack 5.4.6. Gián tiếp kết hợp dịch chuyển 5.4.7. Giới thiệu các kiểu đánh địa chỉ của Intel, ARM, UltraSpac, … | Dạy: Trình bày bài giảng Slide. Đặt câu hỏi cho sinh viên suy nghĩ và trả lời. Học ở lớp: Nghe, thảo luận và trao đổi.  Tự học: Ôn lại lý thuyết. Đọc trước bài giảng, tham khảo thêm tài liệu. |  |  |
| 8 | CHƯƠNG 6. GIỚI THIỆU HỢP NGỮ (ASSEMBLY)  6.1. Khái niệm  6.2. Cấu trúc thông thường của một chương trình hợp ngữ.  6.3. Khai báo biến trong hợp ngữ  6.4. Một số nhóm lệnh cơ bản 6.4.1. Nhóm lệnh chuyển dữ liệu6.4.2. Nhóm lệnh chuyển địa chỉ6.4.3. Nhóm lệnh chuyển cờ hiệu6.4.4. Nhóm lệnh chuyển dữ liệu qua cổng6.4.5. Nhóm lệnh chuyển điều khiển6.4.6. Lệnh so sánh, vòng lặp6.4.7. Nhóm lệnh xử lý số học. | Dạy: Trình bày bài giảng Slide. Đặt câu hỏi cho sinh viên suy nghĩ và trả lời. Học ở lớp: Nghe, thảo luận và trao đổi.  Tự học: Ôn lại lý thuyết. Đọc trước bài giảng, tham khảo thêm tài liệu. | A1.1, A1.2, A2.1, A3.1 | CLO 2, 3, 4, 5 |
| 9 | CHƯƠNG 7. CẤU TRÚC VÀ CHỨC NĂNG VI XỬ LÝ  7.1. Cấu trúc CPU 7.1.1. Đơn vị tính toán (ALU, FPU) 7.1.2. Đơn vị điều khiển (Control Unit) 7.1.3. Registers (data, address, instruction, control) 7.1.4. Internal bus | Dạy: Trình bày bài giảng Slide. Đặt câu hỏi cho sinh viên suy nghĩ và trả lời. Học ở lớp: Nghe, thảo luận và trao đổi.  Tự học: Ôn lại lý thuyết. Đọc trước bài giảng, tham khảo thêm tài liệu. | A1.1, A1.2, A2.1, A3.1 | CLO 2, 3, 4, 5 |
| 10 | 7.2. Chu trình lệnh 7.2.1. Các bước trong một chu trình lệnh 7.2.2. Lược đồ trạng thái chu trình lệnh đầy đủ 7.2.3. Chu kỳ gián tiếp 7.2.4. Luồng dữ liệu 7.3. Kỹ thuật pipeline lệnh 7.3.1. Chiến thuật thi hành pipelining  7.3.2. Ảnh hưởng của các lệnh rẽ nhánh có điều kiện và vô điều kiện 7.3.3. Các phương pháp xử lý rẽ nhánh 7.3.4. Hiệu năng 7.3.5. Pipeline trong Intel và ARM 7.4. CISC & RISC 7.4.1. Khái niệm 7.4.2. Đặc điểm của CISC và RISC 7.4.3. Pipeline trong các CPU kiểu RISC 7.4.4. Tối ưu hoá lệnh trong các CPU kiểu RISC 7.4.5. Mô hình kiến trúc UltraSparc | Dạy: Trình bày bài giảng Slide. Đặt câu hỏi cho sinh viên suy nghĩ và trả lời. Học ở lớp: Nghe, thảo luận và trao đổi.  Tự học: Ôn lại lý thuyết. Đọc trước bài giảng, tham khảo thêm tài liệu. |  |  |
| 11 | CHƯƠNG 8. XỬ LÝ SONG SONG VÀ ĐA LÕI 8.1 Mô hình xử lý song song 8.1.1 Giới thiệu về xử lý song song   8.1.2 Phân loại Flynn  8.2 Bộ xử lý đa lõi  8.2.1 Bộ xử lý đa lõi Intel  8.2.2 Bộ xử lý đa lõi AMD  8.2.3 Bộ xử lý đa lõi ARM 8.3. Lập trình song song | Dạy: Trình bày bài giảng Slide. Đặt câu hỏi cho sinh viên suy nghĩ và trả lời. Học ở lớp: Nghe, thảo luận và trao đổi.  Tự học: Ôn lại lý thuyết. Đọc trước bài giảng, tham khảo thêm tài liệu. | A1.1, A1.2, A2.1, A3.1 | CLO 2, 3, 4, 5 |

**13.2. Kế hoạch giảng dạy và học cho phần thực hành/thí nghiệm**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Tuần | Nội dung chi tiết | Hoạt động dạy và học | Bài đánh giá | CĐR học phần |
| 4  (2 tiết) | **Bài thực hành 1:**  Sử dụng phần mềm CPU-Z kiểm tra chi tiết các thành phần: CPU, RAM, DISK,... của máy tính | Dạy: Giảng viên giao và hướng dẫn bài thực hành.  Học ở lớp: Sinh viên thực hành trên máy.  Tự học: Sinh viên hoàn thành đầy đủ bài tập về nhà. | A1.1, A1.2, A2.1, A3.1 | CLO 2, 3, 4, 5 |
| 5  (2 tiết) | **Bài thực hành 2:**  Assembly: Viết chương trình nhập vào các số nguyên dương và cộng dồn đến khi nào gặp một số âm thì kết thúc. Rồi in ra kết quả (Không cộng dồn số âm cuối vào). | Dạy: Giảng viên giao và hướng dẫn bài thực hành.  Học ở lớp: Sinh viên thực hành trên máy.  Tự học: Sinh viên hoàn thành đầy đủ bài tập về nhà. | A1.1, A1.2, A2.1, A3.1 | CLO 2, 3, 4, 5 |
| 6  (2 tiết) | **Bài thực hành 3:**  Kiểm tra cách máy tính thực hiện 1 chương trình (Sử dụng chương trình nguồn Assembly trong bài thực hành 2).  - Sử dụng phần mềm CPUSim xem cách CPU xử lý một chương trình.  Các thông số mặc định của CPU và Main memory.  + CPU: Gồm các thanh ghi với số bít tương ứng  + Xem kết quả và nhận xét | Dạy: Giảng viên giao và hướng dẫn bài thực hành. Hướng dẫn sử dụng phần mềm CPUSim và các phần mềm tương đương  Học ở lớp: Sinh viên thực hành trên máy.  Tự học: Sinh viên hoàn thành đầy đủ bài tập về nhà. | A1.1, A1.2, A2.1, A3.1 | CLO 2, 3, 4, 5 |
| 7  (2 tiết) | **Bài thực hành 4:** (tiếp theo)  Kiểm tra cách máy tính thực hiện 1 chương trình (Sử dụng chương trình nguồn Assembly trong bài thực hành 1).  - Sử dụng phần mềm CPUSim xem cách CPU xử lý một chương trình.  Các thông số mặc định của CPU và Main memory.  + Main memory: Gồm các Byte với địa chỉ tương ứng  + Xem kết quả và nhận xét | Dạy: Giảng viên giao và hướng dẫn bài thực hành. Hướng dẫn sử dụng phần mềm CPUSim và các phần mềm tương đương  Học ở lớp: Sinh viên thực hành trên máy.  Tự học: Sinh viên hoàn thành đầy đủ bài tập về nhà. | A1.1, A1.2, A2.1, A3.1 | CLO 2, 3, 4, 5 |
| 8  (2 tiết) | **Bài thực hành 5:**  Tạo một Machine mới với CPUSim. | Dạy: Giảng viên giao và hướng dẫn bài thực hành.  Học ở lớp: Sinh viên thực hành trên máy.  Tự học: Sinh viên hoàn thành đầy đủ bài tập về nhà. | A1.1, A1.2, A2.1, A3.1 | CLO 2, 3, 4, 5 |
| 9  (2 tiết) | **Bài thực hành 6:**  Sử dụng CPUSim chạy lại chương trình Bài thực hành 2. | Dạy: Giảng viên giao và hướng dẫn bài thực hành.  Học ở lớp: Sinh viên thực hành trên máy.  Tự học: Sinh viên hoàn thành đầy đủ bài tập về nhà. | A1.1, A1.2, A2.1, A3.1 | CLO 2, 3, 4, 5 |
| 10  (2 tiết) | **Bài thực hành 7:**  Sử dụng SMPCache Cấu hình một hệ thống với các đặc tính kiến trúc như sau:  + Processors in SMP: 8  + Cache coherence protocol: MESI  + Scheme for bus arbitration: Random  + Word wide: 32 bits  + Main memory size: 1024 KB (the number of blocks in main memory will vary)  + Replacement policy: LRU  Chạy mô phỏng cấu hình trên với:  + Configure the words by block size = 8 bytes  + Configure the number of blocks in cache:  cache sizes: 4 KB  + Configure the mapping using:  configurations: Direct, two-way set associative, (remember: Number\_of\_ways = Number\_of\_blocks\_in\_cache / Number\_of\_cache\_sets). | Dạy: Giảng viên giao và hướng dẫn bài thực hành.  Học ở lớp: Sinh viên thực hành trên máy.  Tự học: Sinh viên hoàn thành đầy đủ bài tập về nhà. | A1.1, A1.2, A2.1, A3.1 | CLO 2, 3, 4, 5 |
| 11  (2 tiết) | **Bài thực hành 8:**  Sử dụng SMPCache Cấu hình một hệ thống với các đặc tính kiến trúc như sau:  + Processors in SMP: 8  + Cache coherence protocol: MESI  + Scheme for bus arbitration: Random  + Word wide: 32 bits  + Main memory size: 1024 KB (the number of blocks in main memory will vary)  + Replacement policy: LRU  Chạy mô phỏng cấu hình trên với:  + Configure the words by block size = 128 bytes  + Configure the number of blocks in cache:  cache sizes: 32 KB  + Configure the mapping using:  configurations: Direct, two-way set associative, (remember: Number\_of\_ways = Number\_of\_blocks\_in\_cache / Number\_of\_cache\_sets). | Dạy: Giảng viên giao và hướng dẫn bài thực hành.  Học ở lớp: Sinh viên thực hành trên máy.  Tự học: Sinh viên hoàn thành đầy đủ bài tập về nhà. | A1.1, A1.2, A2.1, A3.1 | CLO 2, 3, 4, 5 |

1. **Tài liệu học tập:**
   1. **Sách, bài giảng, giáo trình chính:**
2. William Stallings, Computer Organization and Architecture. Prentice Hall, Tenth edition (March 11, 2016).
3. Võ Đức Khánh, Giáo trình Kiến trúc máy tính, Nxb Đại học Quốc gia TPHCM, 9/2007.

**14.2. Sách, tài liệu tham khảo:**

1. Nguyễn Đình Việt, Kiến trúc máy tính, NXB ĐHQGHN, 3/2007.
2. MIPS Assembly Language Programming. Prentice-Hal,  [Robert Britton](https://www.pdfdrive.com/search?q=Robert+Britton), 5/2002
3. **Đạo đức khoa học:**

* Sinh viên phải tôn trọng giảng viên và sinh viên khác.
* Sinh viên phải thực hiện quy định liêm chính học thuật của Nhà trường.
* Sinh viên phải chấp hành các quy định, nội quy của Nhà trường.

1. **Ngày phê duyệt:**
2. **Cấp phê duyệt:**

|  |  |
| --- | --- |
| **Trưởng khoa/bộ môn** | **Giảng viên biên soạn** |
| TS. Nguyễn Vũ Anh Quang | ThS. Lê Tự Thanh |